

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月12日
Date of Application:

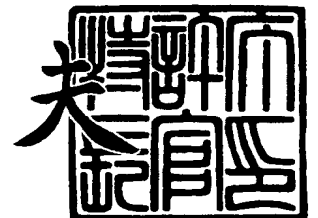
出願番号 特願2002-360689
Application Number:
[ST. 10/C]: [JP 2002-360689]

出願人 ローム株式会社
Applicant(s):

2003年 8月29日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 02-00301

【提出日】 平成14年12月12日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 3/02
H03H 17/06

【発明の名称】 デルタシグマ変調器の出力フィルタ及び該出力フィルタ
を備えたデジタル信号処理装置

【請求項の数】 4

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地ローム株式会社内

【氏名】 福田 将和

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100110319

【弁理士】

【氏名又は名称】 根本 恵司

【選任した代理人】

【識別番号】 100109977

【弁理士】

【氏名又は名称】 畑川 清泰

【選任した代理人】

【識別番号】 100106806

【弁理士】

【氏名又は名称】 三谷 浩

【手数料の表示】

【予納台帳番号】 066394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0009874

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デルタシグマ変調器の出力フィルタ及び該出力フィルタを備えたデジタル信号処理装置

【特許請求の範囲】

【請求項 1】 デルタシグマ変調器からの出力データを、縦続接続された複数の遅延素子毎に出力させ、各出力に基づき電流源からの電流を制御することでフィルタ特性で重み付けした電流を得、かつ該電流を加算して出力する F I R フィルタを備えたデルタシグマ変調器の出力フィルタにおいて、

前記電流源が定電流源であることを特徴とするデルタシグマ変調器の出力フィルタ。

【請求項 2】 請求項 1 に記載されたデルタシグマ変調器の出力フィルタにおいて、

前記 F I R フィルタの出力側に、電流・電圧変換を全差動演算増幅器の帰還抵抗で行う電流・電圧変換部を備えたことを特徴とするデルタシグマ変調器の出力フィルタ。

【請求項 3】 請求項 2 に記載されたデルタシグマ変調器の出力フィルタにおいて、

前記全差動演算増幅器の出力側に差動シングル変換演算増幅器を備えたことを特徴とするデルタシグマ変調器の出力フィルタ。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載されたデルタシグマ変調器の出力フィルタを備えたデジタル信号処理装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、例えば、携帯電話、PDA、音楽再生増幅器等のデジタル信号処理装置に用いるデルタシグマ変調器の出力フィルタ（ポストフィルタ）及び該出力フィルタを備えたデジタル信号処理装置に関するものである。

【0002】

【従来の技術】

現在、デジタルオーディオ等の分野において、入出力が簡素化でき、演算する場合でも演算器のゲート数が少なくて済み、簡素なシステムが組める等の理由から、マルチビットのデジタル信号をデルタシグマ変調器により 1 ビットに量子化して処理することが行われている。

デルタシグマ変調器は、シグマ変調器の入力段にロープスト用の積分器を配置すると共に、出力段にローカット用の微分器を配置し、量子化ノイズを高域側に集中させることで、可聴帯域の S/N 比を向上させるノイズ・シェーピングの効果を得ることができることが知られている。

デルタシグマ変調器で量子化された 1 ビットの量子化データ（“1” 又は “0”）は、 D/A 変換されて次段の出力フィルタ 1 へ入力され、ここで高い周波数のノイズが除去されて良好な再生波形が得られる。

【0003】

図 2 は、この出力フィルタ（アクティブフィルタ）1 の一例を示す回路図であり、デルタシグマ変調器 2 で生成した 1 ビットに量子化されたデータを D/A 変換して出力し、その出力をアクティブフィルタ 1 へ入力する構成を示している。

ここで、デルタシグマ変調器を高性能化するためには、この変調器内に用いられるノイズシェーピングフィルタの次数を高次にする必要があり、そのためフィルタの次数を高次にすると、それに伴って、ノイズシェーピングされた量子化ノイズが増大する。これを除去するためには出力フィルタ 1 の高周波のカットオフ特性を急峻にすることが必要となり、そのために図 2 に示す出力フィルタ 1 も高次にしなければならない。

つまり、デルタシグマ変調器の出力データは、図 2 に示す出力フィルタ 1 で高い周波数のノイズ成分が除去されて出力されるが、この構成では出力フィルタ 1 の次数を高くしないと、ノイズ成分を十分除去できないこととなる。

ところが、出力フィルタ（アクティブフィルタ）1 の次数を高くするとその分抵抗値が大きくなり、抵抗によりノイズレベルが悪化するという問題が生じる。

【0004】

そこで、これを改善するため、出力フィルタに FIR フィルタを用いて、フィルタ特性を向上させることが既に提案されている。

図3に示す回路は、特許文献ではないが図2に示す出力フィルタ（アクティブフィルタ）に変えてFIRフィルタを用いた出力フィルタとすることでフィルタ特性を改善したものである。

即ち、デルタシグマ変調器2で生成されD/A変換された出力データを、FIRフィルタ4の複数段のフリップフロップ回路（F/F） F_1 、 $F_2 \cdots F_n$ からなるシフトレジスタSの各タップに応じて遅延させ、該遅延データに基づきMOSトランジスタ $T_1 \cdots T_n$ を制御して電流源に接続された抵抗7a, 7bで電流・電圧変換してFIRフィルタ係数で重み付けした電圧を得、これを加算してLPF構成の出力回路5から出力する。

【0005】

この回路ではFIRフィルタ4を構成しているためフィルタ特性は改善されるが、このFIRフィルタ4ではその電流源に抵抗7a, 7bを用いて電流電圧変換を行い所定の電圧を得る構造であるため、抵抗7a, 7bに電流が流れることによる熱でノイズが発生するほか、図示のようにLFP（ローパスフィルタ）構成の出力回路5の演算増幅器（又は、いわゆるオペアンプ）5aのアプリケーション回路（付属回路）の抵抗値が大きく、この部分でも抵抗によるノイズの発生量が大きく、更に、演算増幅器5aでは同相ノイズが除去できないため、フィルタ特性が改善されても全体としてはノイズレベルは良くないという問題がある。

なお、デルタシグマ変調器の出力フィルタとしてFIRフィルタを用いたものは存在するが（特許文献1参照）、本願発明構成になるものは存在しない。

【0006】

【特許文献1】

特開平7-74643号公報

【0007】

【発明が解決しようとする課題】

本発明は、以上のように、デルタシグマ変調器にFIRフィルタを用いた場合の前記従来の問題を解決すべくなされたものであって、その第1の目的は、出力フィルタにFIRフィルタを備えとともに、この出力フィルタの抵抗値を下げることで、抵抗により発生する熱ノイズを低減することである。

第2の目的は、電流・電圧変換を演算増幅器の帰還抵抗で行うことで、出力フィルタの抵抗値を低減することである。

第3の目的は、出力フィルタの電流・電圧変換部に全差動演算増幅器を用いることで同相ノイズの影響を除去することである。

【0008】

【課題を解決するための手段】

請求項1の発明は、デルタシグマ変調器からの出力データを、縦続接続された複数の遅延素子毎に出力させ、各出力に基づき電流源からの電流を制御することでフィルタ特性で重み付けした電流を得、かつ該電流を加算して出力するFIRフィルタを備えたデルタシグマ変調器の出力フィルタにおいて、前記電流源が定電流源であることを特徴とするデルタシグマ変調器の出力フィルタである。

請求項2の発明は、請求項1に記載されたデルタシグマ変調器の出力フィルタにおいて、前記FIRフィルタの出力側に、電流・電圧変換を全差動演算増幅器の帰還抵抗で行う電流・電圧変換部を備えたことを特徴とするデルタシグマ変調器の出力フィルタである。

請求項3の発明は、請求項2に記載されたデルタシグマ変調器の出力フィルタにおいて、前記全差動演算増幅器の出力側に差動シングル変換演算増幅器を備えたことを特徴とするデルタシグマ変調器の出力フィルタである。

請求項4の発明は、請求項1ないし3のいずれかに記載されたデルタシグマ変調器の出力フィルタを備えたデジタル信号処理装置である。

【0009】

【発明の実施の形態】

本発明を図面に従って説明する。

図1は、本発明によるデルタシグマ変調器の1実施形態を示す図である。

図示のように、デルタシグマ変調器2からの出力(D/A変換済み)は、出力フィルタ1を構成するFIRフィルタ4のシフトレジスタSの複数のフリップフロップ回路(F/F) F_1 、 $F_2 \cdots F_n$ の初段のF/F(F_1)に入力される。デルタシグマ変調器2からの出力は各F/Fで遅延され、そのQ出力、反転Q出力を各タップから取り出して定電流源に縦続接続されたMOSトランジスタ

$T_1, T_1' \cdots T_n, T_n'$ のそれぞれの制御端子に印加される。

MOSトランジスタ $T_1, T_1' \cdots T_n, T_n'$ は前記各 F/F ($F_1, F_2 \cdots F_n$) の Q 出力又は反転 Q 出力に基づき定電流源 8 a, 8 b からの電流を導通制御する。このようにして、定電流源 8 a, 8 b からの電流出力は F I R フィルタのフィルタ係数で重み付けされかつ加算されて出力される。

【0010】

F I R フィルタ 4 の電流出力は、全差動演算増幅器 6 a とその入出力側間に逆極性で接続された帰還抵抗 6 b、6 b からなる電流・電圧変換部 6 で電圧に変換される。電流・電圧変換部 6 の出力段には、シングル変換演算増幅器 5 a と図示のような複数の抵抗を含むアプリケーション回路（付属回路）で構成された L P F 構成の出力回路 5 が接続されている。

【0011】

以上の構成において、デルタシグマ変調器 2 の出力信号は、F I R フィルタ 4 で高周波ノイズがカットされて電流値に変換出力され、次に、このようにして得られた出力電流は、電流・電圧変換部 6 の全差動演算増幅器 6 a の帰還抵抗 6 b で電流・電圧変換される。ここで、演算増幅器 6 a に全差動演算増幅器を用いたのは同相ノイズを除去するためであり、全差動演算増幅器 6 a に差動入力することにより同相ノイズを効率よく除去することができる。

電流・電圧変換部 6 からの出力はシングル変換演算増幅器 5 a 及びそのアプリケーション回路で構成された出力回路 5 に入力され、ここで更に高周波分がカットされて出力回路 5 から前記デルタシグマ変調器 2 の出力信号に対応したアナログ出力が得られる。

【0012】

以上で説明したとおり、本願発明の F I R フィルタの電流源には定電流源が用いられており従来のように電流電圧変換用の抵抗を用いていないため抵抗の熱ノイズの発生が防止できる。また、出力段にシングル変換演算増幅器 5 a を用いているため、増幅量としてのゲインを実際の回路では通常よりも 6 d b 程度減衰させることができるため、ノイズ特性を更に改善することができる。

【0013】

・ **【発明の効果】**

請求項 1 に対応する効果；電流源が F I R として動作するので、急峻なフィルタ特性が得られ、必要な周波数以上のレベルを急峻に落とすことができる。また F I R を構成する電流源に抵抗を使用していないため、F I R をすべて電流で調整することができ、抵抗によるノイズの発生を防ぐことができる。

請求項 2 に対応する効果；電流電圧変換を演算増幅器の帰還抵抗で行うため、従来の抵抗回路で行う場合に比べて抵抗が小さい分、発生する熱ノイズを下げることができ、かつ電流電圧変換を全差動演算増幅器で行うことで同相ノイズを除去することができる。

請求項 3 に対応する効果；出力段を差動シングル変換演算増幅器にすることでノイズレベルを一層改善することができる。

【図面の簡単な説明】

【図 1】 本発明のデルタシグマ変調器の出力フィルタの 1 実施形態を示す回路図である。

【図 2】 従来のデルタシグマ変調器の出力フィルタの回路図である。

【図 3】 従来の別のデルタシグマ変調器の出力フィルタの回路図である。

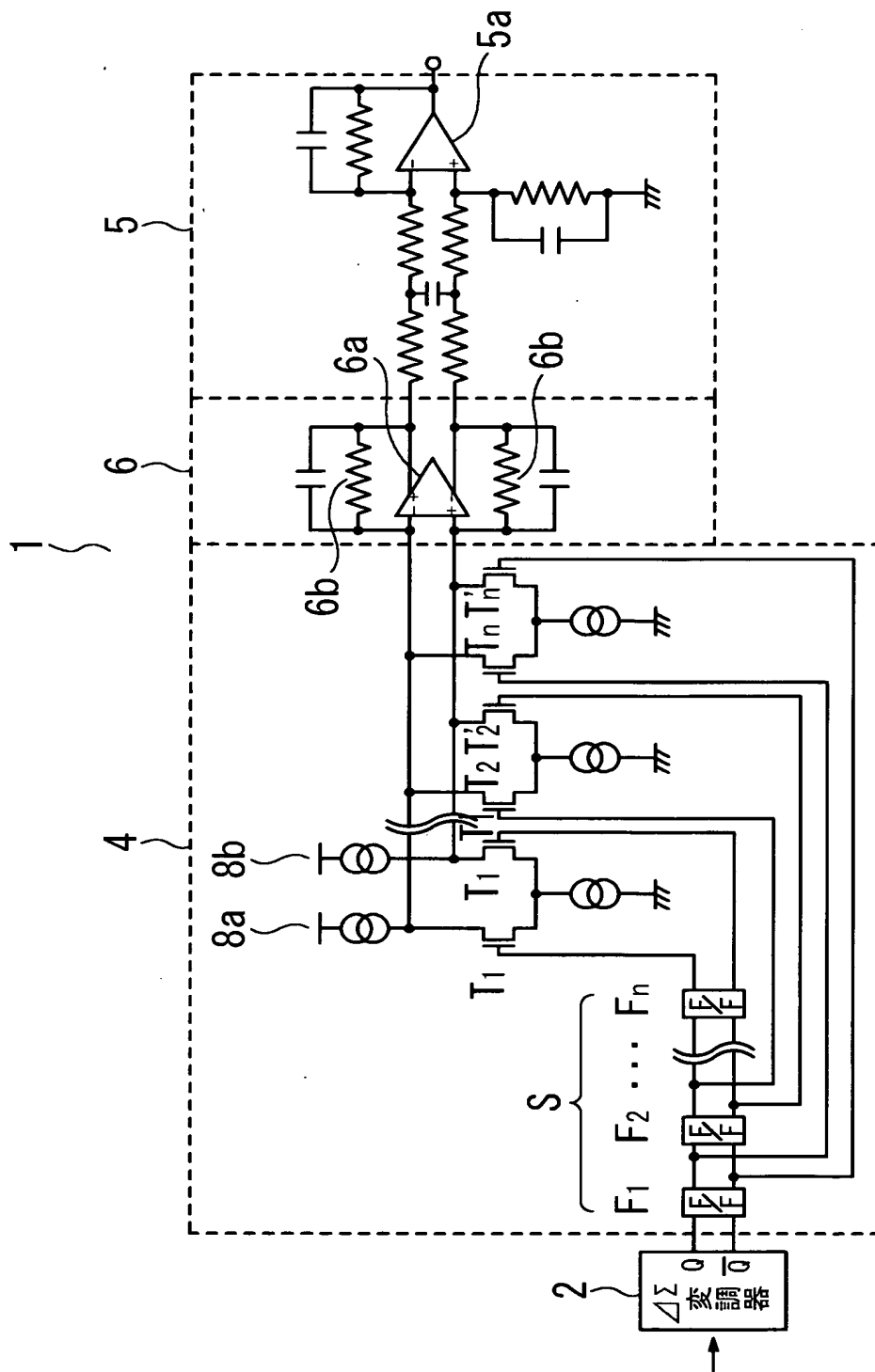
【符号の説明】

1…出力フィルタ、2…デルタシグマ変調器、4…アナログ F I R フィルタ、5…出力回路、6…電流・電圧変換部、7 a、7 b…電流源用抵抗、8 a、8 b…定電流源

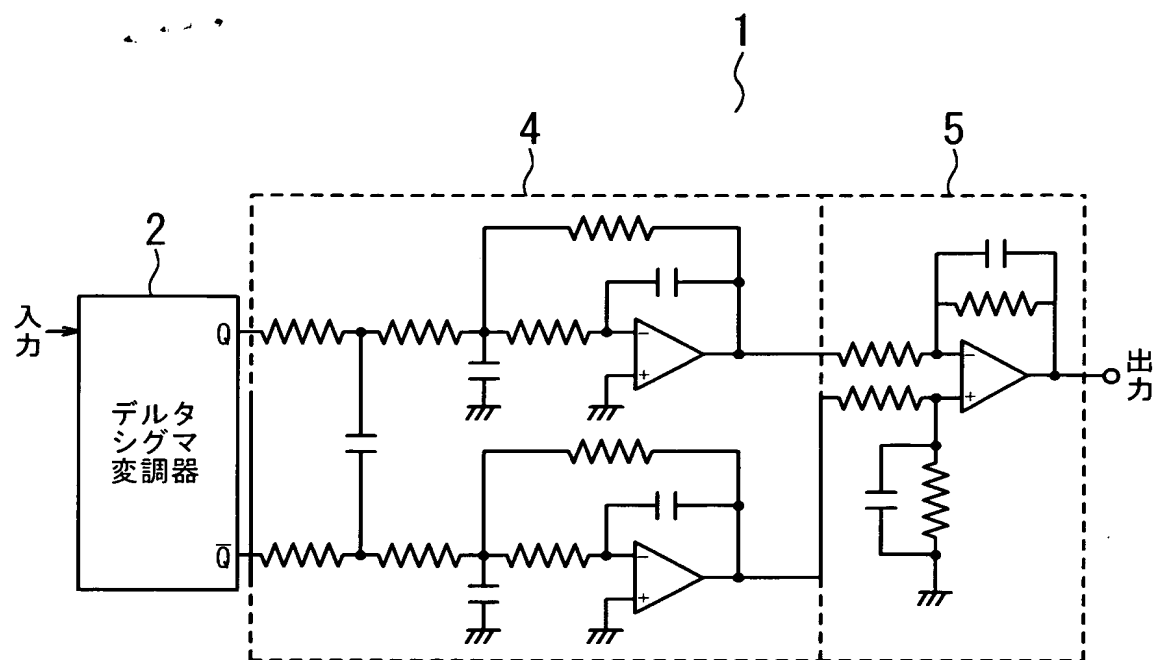
【書類名】

図面

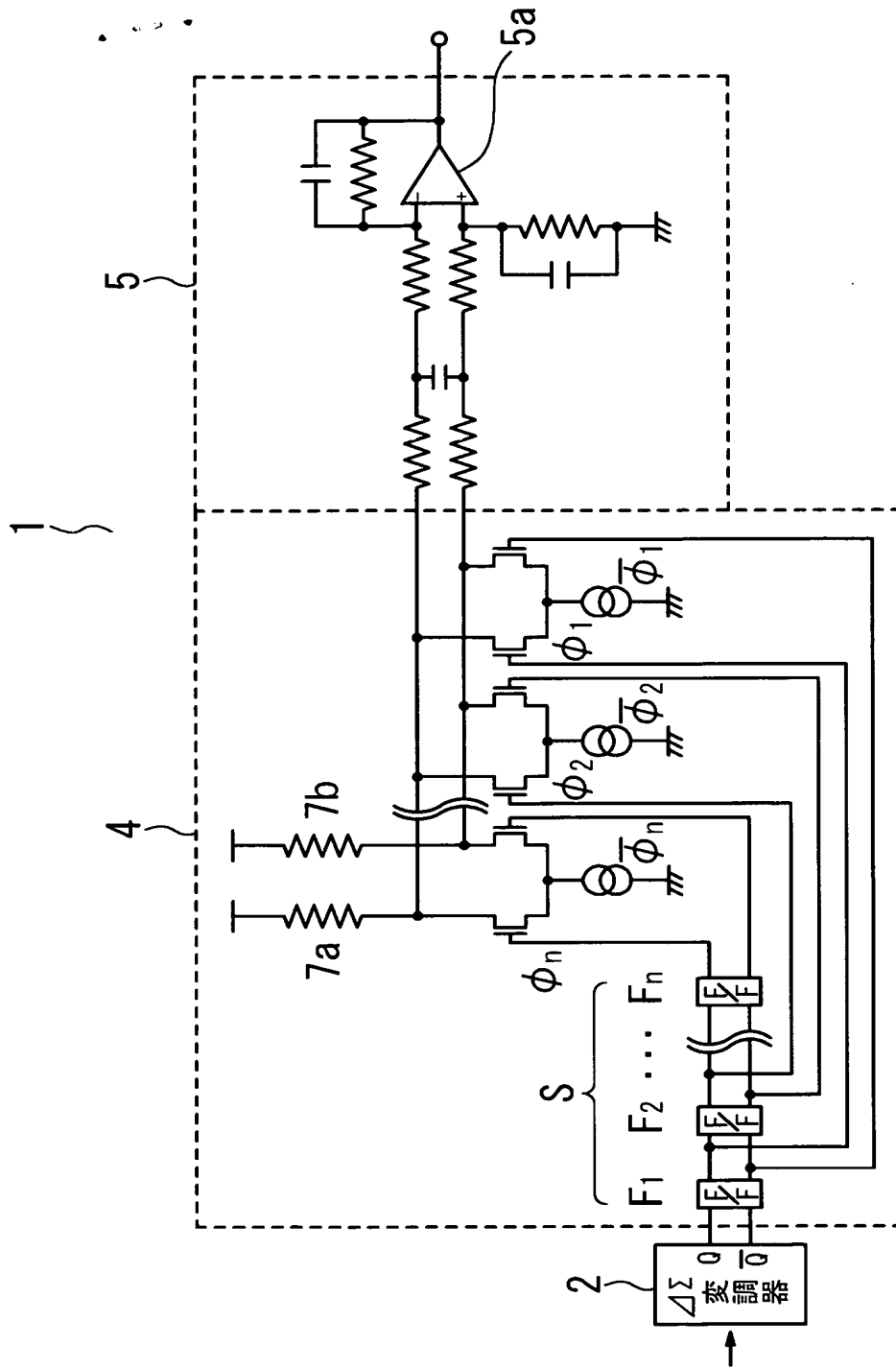
【図1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 デルタシグマ変調器における出力フィルタにおける抵抗によるノイズを低減する。

【解決手段】 電流源を定電流源 8 a、8 b とする F I R 4 を用い、デルタシグマ変調器からの出力データをシフトレジスタ S の各タップから取り出し、取り出した遅延信号で MOS トランジスタ $T_1 \cdots T_n$ を制御して、定電流源 8 a、8 b からタップ数に応じた F I R フィルタ係数で重み付けした電流を得、得た電流を加算するとともに、このようにして得た電流の電流－電圧変換を全差動演算増幅器 6 a の帰還抵抗 6 b で行う。

【選択図】 図 1

特願 2 0 0 2 - 3 6 0 6 8 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日
[変更理由]

住 所
氏 名

1 9 9 0 年 8 月 2 2 日
新規登録

京都府京都市右京区西院溝崎町 2 1 番地
ローム株式会社